

IC stack utilizing secondary leadframes

Patent number: JP2003521806T
Publication date: 2003-07-15
Inventor:
Applicant:
Classification:
- international: H01L25/10; H01L25/10; (IPC1-7): H01L25/10; H01L23/50; H01L25/11; H01L25/18
- european: H01L25/10J
Application number: JP20000553982T 19990610
Priority number(s): US19980095415 19980610; WO1999US13173 19990610

Also published as:

WO9965062 (A3)
WO9965062 (A2)
WO9965062 (A2)
EP1097467 (A3)
EP1097467 (A2)

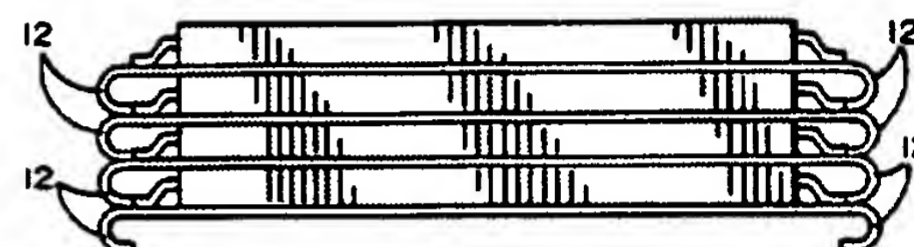
[more >>](#)

[Report a data error here](#)

Abstract not available for JP2003521806T

Abstract of corresponding document: **US6028352**

A structure and process are disclosed in which IC chip-containing layers are stacked to create electronic density. Each layer is formed by mechanically and electrically joining an IC-containing TSOP with an external leadframe. Each leadframe contains conductors which are disposed to connect with TSOP leads, transpose signals to other locations on the periphery of the TSOP, and/or connect with other layers in the stack. The TSOP/leadframe layers are stacked and joined, and the leadframe terminals of the lowest layer are disposed to facilitate connection with a PCB or other circuitry.



Data supplied from the [esp@cenet](#) database - Worldwide

(10) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2003-521806

(P2003-521806A)

(43) 公表日 平成15年7月15日 (2003.7.15)

(51) Int. Cl. ¹	特許庁番号	PI	キーワード (参考)
H01L 25/10		H01L 23/50	Y 5F067
23/50		25/14	Z
25/11			
25/18			

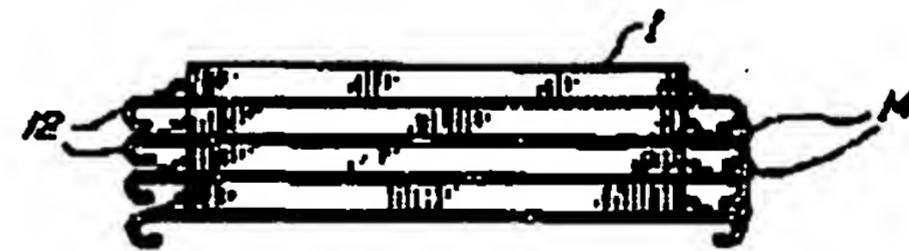
審査請求 有 予備審査請求 有 (全 12 頁)

(21) 出願番号	特表2000-553982(P2000-553982)	(71) 出願人	アービン・センサーズ・コーポレーション アメリカ合衆国、92828-4829 カリフォルニア州、コスタ・メサ、レッドヒル・アベニュー、3001、ビルディング・3
(22) 出願日	平成11年6月10日 (1999.6.10)	(72) 発明者	エイド、フロイド アメリカ合衆国、92849 カリフォルニア州、ハンティントン・ビーチ、ミストラル・ドライブ、3889
(35) 国際文提出日	平成12年12月1日 (2000.12.1)	(74) 代理人	弁理士 深見 久郎 (外5名)
(36) 国際出願番号	PCT/US99/19178	Fターム (参考)	5F067 AA08 BA08 BB10 CB08 CC08 DD01
(37) 国際公開番号	WO99/065062		
(38) 国際公開日	平成11年12月16日 (1999.12.16)		
(31) 優先権主張番号	09/095,415		
(32) 優先日	平成10年6月10日 (1998.6.10)		
(33) 優先権主張国	米国 (US)		
(31) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP		

(54) 【発明の名称】 2次リードフレームを利用するIC積層体

(57) 【要約】

電子的密度をもたらすためにICチップを含む層を積層ねるような構造およびプロセスが開示される。各層は、ICを含むTSOPを外部リードフレームと機械的および電気的に接合することによって形成される。各リードフレームは、TSOPリードと接続し、TSOPの周辺上の他の場所に信号を転移し、および/または積層体中の他の層と接続するよう配線される導体を含む。TSOP/リードフレーム層は積層ねられ接合され、最下層のリードフレーム端子は、PCBまたは他の回路構成との接続を促進するよう配線される。



(2)

特表2003-521806

【特許請求の範囲】

【請求項1】 ICチップ被覆層の積層体であって、複数個の層は各々、

(a) 少なくとも1つのICチップ、チップを被包する材料、チップ上のI/O端子および、別個のI/O端子からチップ被包材料を超えて延在する別個の電気的リードを含むパッケージを含み、前記リードの端はパッケージの基底に向けて下向きに曲げられ、さらに、

(b) パッケージの底部に固定される2次の別個に形成される導電性リードフレームを含み、前記リードフレームは、複数個の独立の電気リードを与えこれにICチップからの別個のリードがはんだづけされ、前記リードフレームは、すべてが次の下の層に向けて下向きに曲げられ前記次の下の層の2次リードフレームから延在するアームにはんだによって固定される複数個の外向きに延在するアームを有する、ICチップ被覆層の積層体。

【請求項2】 はんだ接続される電気リードのいくつかは、積層体中の層のすべてを電気的に相互接続し、他のそのようなリードは、積層体中の層のいくつかにのみ電気的に接続し、さらに他のそのようなリードは、積層体中の単一の層にのみ電気的に接続する、請求項1に記載のICチップ被覆層の積層体。

【請求項3】 チップを含むパッケージの各々は、既製のTSOPパッケージである、請求項1に記載のICチップ被覆層の積層体。

【請求項4】 2つ以上のそのような層を含む、請求項1に記載のICチップ被覆層の積層体。

【請求項5】 2次リードフレームは、a) 同じ層上のパッケージリードから積層体のいずれかの側面上の周辺場所に信号を送るいくつかの端子と、b) 積層体の基底に信号をバス接続する目的を果たす他の端子とを含み、この信号は同じ層上のパッケージリードから入らない、請求項1に記載のICチップ被覆層の積層体。

【請求項6】 2次リードフレームの下向きに曲げられたアームは、積層体の少なくとも3つの側面上にバス接続を与える、請求項1に記載のICチップ被覆層の積層体。

【請求項7】 各2次リードフレームは、誘電性材料から形成されるリード

(3)

特表2003-521806

支持層を有する、請求項1に記載のICチップ被覆層の積層体。

【請求項8】 誘電性材料から形成される層は可撓性である、請求項7に記載のICチップ被覆層の積層体。

【請求項9】 各2次リードフレームは、2次リードフレームがそのICチップを含むパッケージに固定されるまで別個のリードを定位置に保持するための周辺タイバーを有する、請求項1に記載のICチップ被覆層の積層体。

(4)

特表2003-521806

【発明の詳細な説明】

【0001】

【発明の背景】

この発明は、IC（半導体集積回路）チップを含む層を積重ね、これによって高密度の電子回路を獲得することに関する。一般的には、この発明の目的は、妥当なコストと高回路密度を組合せることである。この発明の独特の局面は、これが、TSOP（シン・スモール・アウトライン・パッケージ）中の市場で入手可能なICを積重ねる非常に低コストの方法を提供する一方で、積層体の上層から基底へいくつかの非共通I/O（入力/出力）信号の独立の経路付けを可能とすることである。コスト削減は、比較的低コストのリードフレームと、予めパッケージされかつ予めテストされた既製のICを積重ねる能力とを利用することによって達成される。

【0002】

先行技術の開示のほとんどは、複数のパッケージされていないICチップを積重ねる方法を記載する。オグチ（Oguchi）らの特許番号第5,332,922号と、ミヤノ（Miyano）らの特許番号第5,440,171号と、チョイ（Choi）らの特許番号第5,677,569号とは、単一のパッケージ内にICチップを積重ねる方法を開示する。ジェオン（Jeong）らの特許番号第5,744,827号は、積重ね可能であるが、既製のパッケージされたICの使用を可能とはしない新しいタイプのカスタムチップパッケージングを開示する。バーンズ（Burns）の特許番号第5,484,959号は、各TSOPの上および下に装着された複数のリードフレームと、垂直母線相互接続のシステムとを必要とするが、垂直に相互接続するリードの数の拡大を都合よく可能としない、TSOPパッケージの積重ねの方法を示す。

【0003】

【発明の概要】

この出願は、垂直方向に電気的に相互接続され、PCB（プリント回路基板）上に装着するのに好適であるICの積層体を開示する。この出願はさらに、標準のTSOPパッケージで始まりかつリードフレーム相互接続を用いて積重ねられ

(5)

特表2003-521806

たICを含むパッケージを製造するための方法を開示する。

【0004】

リードフレームは、適切なジオメトリで配置され標準のTSOPのリードと接触する導体を含む、所望の相互接続のための適切なジオメトリからなる導体を製造するためにエッチングされる金属箔からなる。金属箔は、処理中に、エッチングされた導体をその適切なジオメトリに保持し、かつ、寸法的に規定されたガイドを設けてTSOPと箔を製造のため整列させる機能を果たすエッチングされていない金属からなる線またはタイバーを含むが、このタイバーは、その機能を終えた後にその後の処理ステップにおいてトリミングして除去される。リードフレームは、TSOPのリードがリードフレーム上のその対応する導体とはんだづけで接触するように、TSOPに接合される。リードフレームは、初めに接着剤を用いてTSOPに接合されてから、その後に高温はんだづけされてもよく、または、依然として整列状態に保持されている一方で高温はんだづけですぐに接合されてもよい。もしはんだづけがプロセス中のこの段階でなされるならば、はんだは、プロセスにおいて後に用いられるはんだよりもより高い融解温度を有しているべきである。次に、リードフレームはトリミングされ、その突出した導体は、下方向に形成され、このため各導体は、次の下のリードフレーム上の対応する導体とはんだづけの重ね継手を形成するようになる。予めテストされたTSOPが通常利用されるため、テストは普通不要であるが、必要とされるいかなる特別なテストがTSOPに対して、または、TSOP/リードフレームアセンブリが積重ねられるより前にTSOP/リードフレームアセンブリに対して行なわれてもよい。いくつかのリードフレーム/TSOPアセンブリが次に積重ねられ、接着剤を用いてまず接合されてから、後に高温はんだづけされてもよく、または、依然として整列状態に保持される一方で高温はんだづけによってすぐに接合されてもよい。

【0005】

導体のジオメトリをリードフレームに配置することによってTSOP接続を異なったリードフレーム重ね継手位置に転移するための能力と、より細かいピッチを備えるリードフレームのリードを製造するための能力と、リードフレーム/T

(6)

特表2003-521806

SOPアセンブリの4隅すべてにリードフレーム導体を延在させるための能力とは、より高い入力/出力(I/O)数を可能とし、積重ねられたICの必要を満たす。

【0006】

【詳細な説明】

この発明は、形成されたリードフレームを用いて垂直方向に電気的および機械的に相互接続されるICの積層体からなる。積層体のエンドユーザは、PCBなどの基板にこれを接続するであろう。ICの垂直配置は、基板上の等価の数のICの従来の水平配置と比較して、かなりの基板面積を節約するであろう。

【0007】

典型的な実施例では、積層体内の各層は、図1aおよび図1bに示すような既製の市場で入手可能なTSOP1からなり、TSOPは、図2aおよび図2bに示すような金属リードフレーム2と組合され、金属リードフレームは、TSOPの底面側に接着的に結合されかつTSOPのリード3にはんだづけされる。リードフレームは、任意で、接着剤なしにはんだ接続のみを用いてTSOPに結合されてもよい。リードフレームは、任意で、形成された金属構造体、層をなした複合構造体、またはエッチングされた金属箔の代わりに非金属の導電構造体であってもよい。リードフレームの目的は、2つの面を有する：

1) ある場合には、リードフレーム2は、積層体内の上部TSOPのリードが同じピン名を有する下部TSOPのリードと接続可能であるように、TSOPリードの延長部としての役割を果たす。

【0008】

2) 他の場合には、リードフレーム2は、形成後にこれらが異なった場所のダミーのリードと接続し積層体の基底に非共通信号を独立して与えることが可能であるように、選択されたTSOPリード(たとえば、リードフレーム端子4を備えるリードA4)を再経路付けする。

【0009】

副次的な利益として、リードフレーム2は、積層体中のTSOP間に挟持されるとき、熱伝播体および放熱体としての役割を果たし、TSOPから熱を除去す

(7)

特表2003-521806

るであろう。現在記載される実施例では、リードフレームをTSOPに付与しこれらのアセンブリを積重ねるためのアセンブリプロセスは、以下のステップからなる：

1) 図2 a および図2 b に示すようなリードフレームを作る。

【0010】

2) TSOP 本体の底面側にエポキシまたは他の種類の接着剤 5 を塗布する。

【0011】

3) 適切な取付具を用いて、リードフレームをTSOP 本体に整列させ接着剤を硬化してTSOP 本体 1 の底部にリードフレーム 2 を固定する (図 3 参照)。

【0012】

4) リードフレームからタイバー 6 をトリミングし (図 4 a および図 4 b 参照)、積重ねられたとき、リードフレームのリードが、積層体中の下部TSOP のリードフレームとの重ね継手を形成するように、TSOP リード 3 の外側に下方向 7 にリードを形成する (図 5 a、図 5 b および図 5 c 参照)。代替的に、リードフレームのリードは、積重ねに好適である「C」構成 (図 6 参照) のような、いかなる他の構成に形成されてもよい。積層体中の底部TSOP の底部に装着されるリードフレームの場合には、リードは、積層体が基板にはんだづけされたとき応力を緩和するような構成 (たとえば、ガル翼、J-リード) などの、いかなる構成に形成されてもよい。さらに、底部リードフレームは 2 つのTSOP の間に挟持されないので、任意のポリイミド層が底部TSOP に接着的に結合され、TSOP 本体へのリード装着を強化してもよい。

【0013】

5) 積層体中の最上部TSOP 以外の、積重ねられるべき各TSOP の上表面にエポキシまたは他の種類の接着剤を塗布する。

【0014】

6) 適切な取付具を用いて、TSOP を装着されたリードフレームと整列させ、接着剤を硬化して積層体中の各TSOP を固定する。任意で、リードフレー

(8)

特表2003-521806

ムは、整列固定される間に高温はんだでTSOPに接合され、接着剤を不要としてもよい。

【0015】

7) リードを有する積層体の各端を溶融はんだポット内に浸漬する。これは、TSOPリードをリードフレームにはんだづけし、かつリードフレームの各リードを、積層体中のその下のTSOPのリードフレームのリードにはんだづけする(図5a、図5bおよび図5c参照)。浸漬するために用いられるはんだは、ユーザが積層体を基板にはんだづけするときにそのように形成されたはんだ接合がリフローしないように、高い融解温度を有しているべきである。もしTSOPがはんだづけによってリードフレーム2に先に接合されていたならば、その作業のために用いられるはんだは、リードフレームの積層体が浸漬によって接合されるときそのはんだ接合がリフローしないように、さらにより高い融解温度を有しているべきである。

【0016】

代替の実施例では、リードフレーム2は、所望の導体をエッチングし、次にPCB誘電体の周辺をエッチ除去してリードフレームの外側のリードを露出することによってPCBから作られる。この代替の実施例では、残余のPCB誘電体は、リード導体を適切な配向に保持し、したがって先の実施例の緑またはクイバー6の代わりとなる。

【0017】

この発明について独特であることは、これがICメモリなどの、TSOPパッケージ中の市場で入手可能なICを積重ねる非常に低コストの方法を提供することである。これはまた、上層のTSOPから積層体の基底へ下層のTSOP信号から独立して、チップイネーブルなどのいくつかの非共通入力/出力信号および/またはデータラインを経路付けすることを可能にする。図5は、積層体中の各TSOPのリード「A」が積層体の基底において異なるリードへ独立して降ろされている場合を示す。この例では、図5aおよび図5cに「A4」と示される第4のTSOPのリード「A」は、積層体の基底においてリード「A4」に引出され(図5b参照)、第3のTSOP9のリード「A」(図5cに「A3」と示

(9)

特表2003-521806

される)は、積層体の基底においてリード「A3」に引出される(図5b参照)、などである。リード「A」がICメモリTSOPの別個のチップイネーブルピンであるならば、積層体のエンドユーザは、積層体中の各ICメモリTSOPを独立してアドレスすることが可能である。同様に、下2つのメモリICTSOPからのデータラインを積層体の側面に経路付けすることが可能であり、その一方で上2つのTSOPからのデータラインを積層体の端面に経路付けすることが可能である。一例として、これは、積層体のメモリビット幅を個別のTSOPのものの2倍にすることが可能である。

【0018】

図5aから図5cは、はんだづけ構成で積層体中にリードを配置する方法として重ね継手11を例示するが、図6は、「C」リード構成12を利用してはんだづけ構成で積層体中にリードを配置する代替の実施例を例示する。図6の左側は、はんだなしのリード12を示し、図6の右側は、はんだ14ではんだ浸漬後のリードを示す。

【0019】

前の説明から、この出願に開示される装置および方法は、明細書の導入部分に要約される重要な機能的利益を提供することが明らかであろう。

【0020】

前掲の特許請求の範囲は、開示される具体的実施例を含むだけでなく、ここに説明される発明の概念を含み先行技術によって許容される最大の幅および包括性を備えるものと意図される。

【図面の簡単な説明】

【図1】 標準のTSOPの図であって、aはその部分的底面図であり、bはその端面図である。

【図2】 典型的なリードフレームの図であって、aはその部分的底面図であり、bはその端面図である。

【図3】 トリミングまたは形成する前のTSOP/リードフレームアセンブリの図であって、aはその部分的底面図であり、bはその端面図である。

【図4】 トリミングおよび形成後のTSOP/リードフレームアセンブリ

(10)

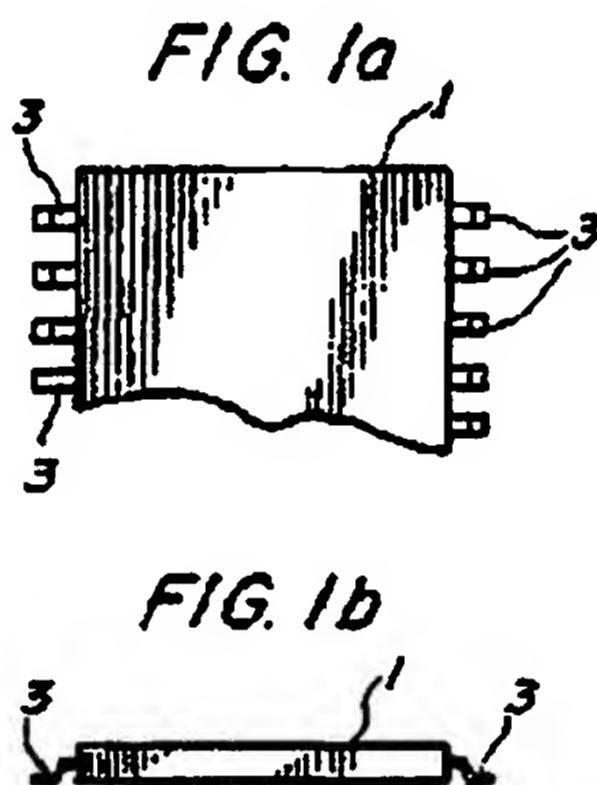
特表2003-521806

の図であって、aはその部分的底面図であり、bはその端面図である。

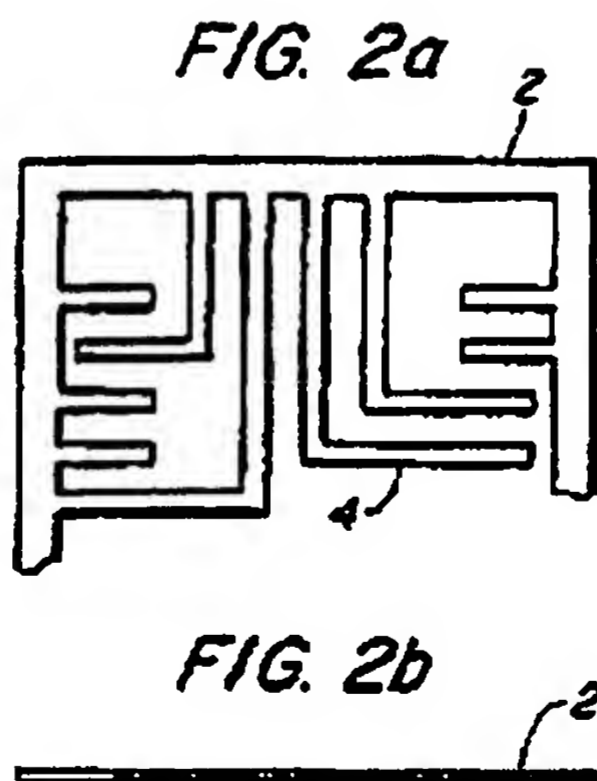
【図5】 別個のTSOPの選択されたピンの信号経路を積層体の底部に別個に経路付けするための能力を例示する、TSOP/リードフレームアセンブリの積層体の図であって、aはその上面図であり、bはその端面図であり、cはその側面図である。

【図6】 「C」リードを備えるTSOP/リードフレームアセンブリの積層体の端面図である。

【図1】



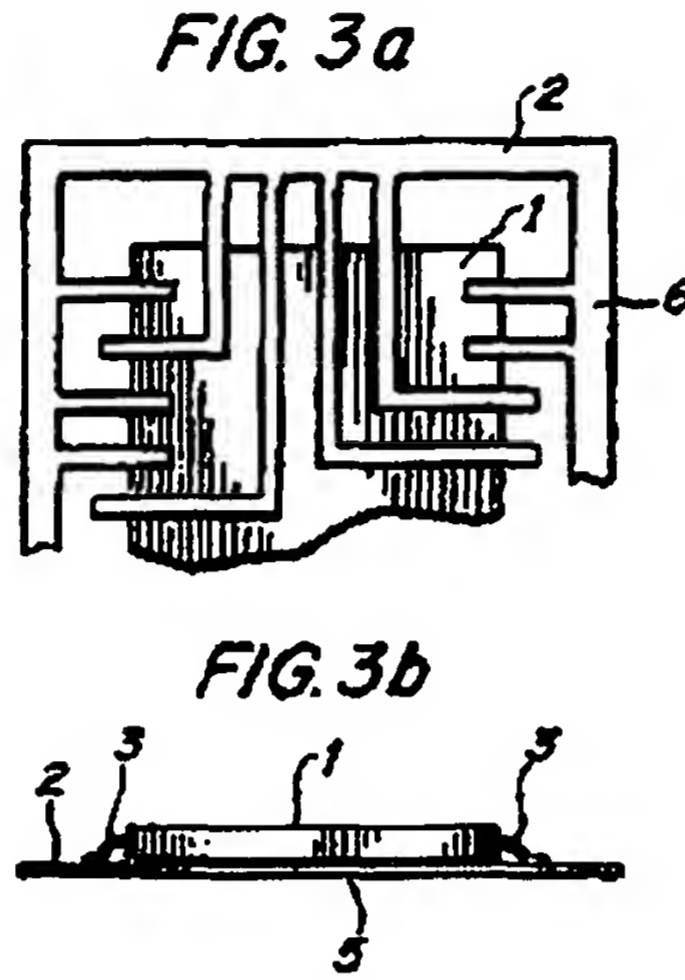
【図2】



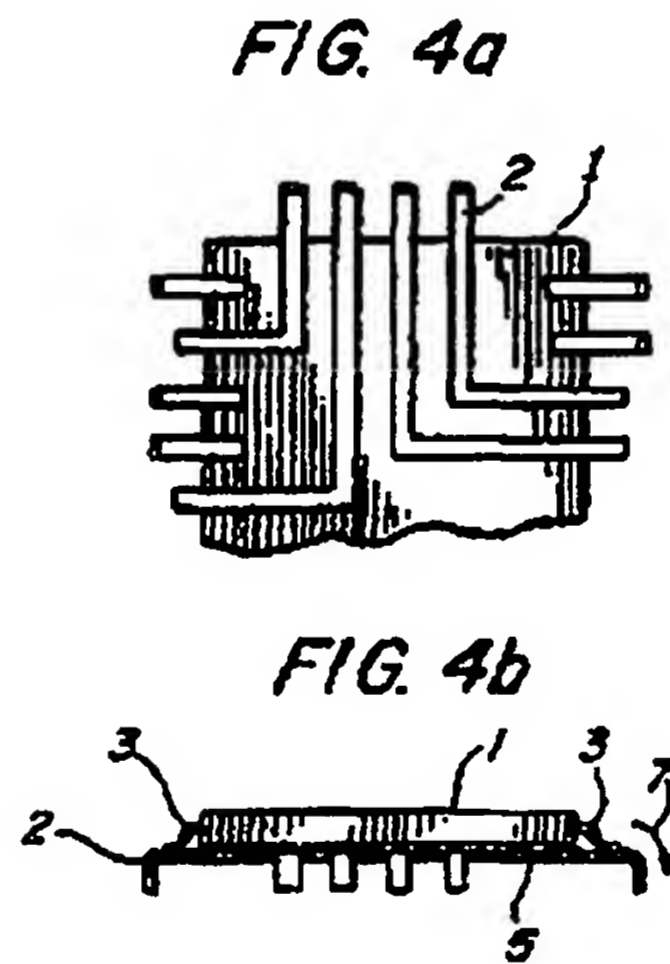
(11)

特表2003-521806

【図3】



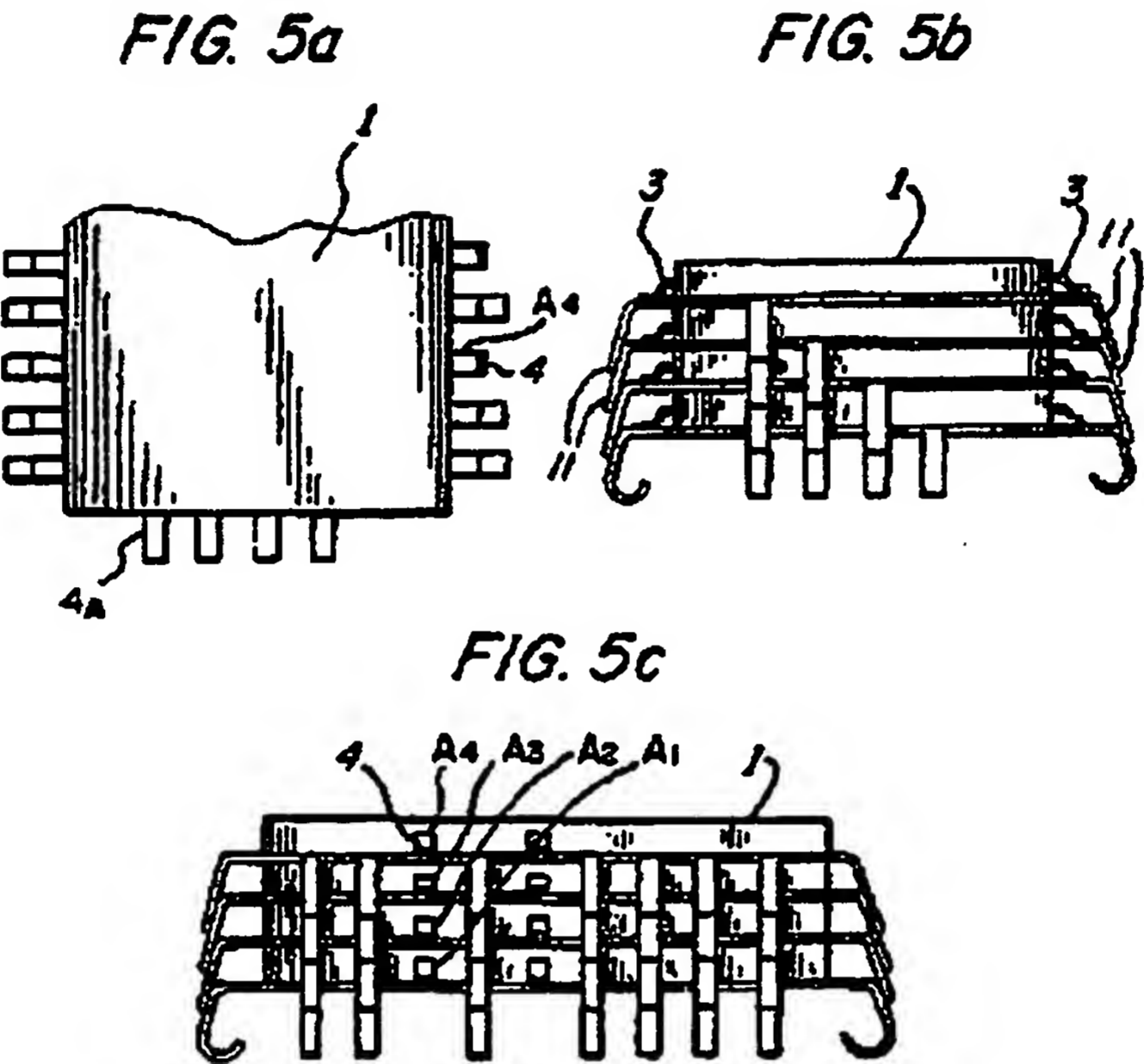
【図4】



(12)

特表2003-521806

【図5】



【図6】

